

Patent Abstracts of Japan

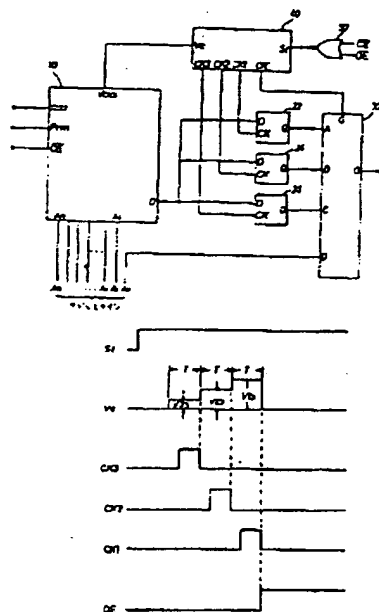
PUBLICATION NUMBER : JP62257699  
 PUBLICATION DATE : 10-11-87  
 APPLICATION NUMBER : JP860102782  
 APPLICATION DATE : 01-05-86

VOL: 12 NO: 136 (P - 694 )  
 AB. DATE : 26-04-1988 PAT: A 62257699  
 PATENTEE : NIPPON DENSO CO LTD  
 PATENT DATE: 10-11-1987

INVENTOR : KOSHIDA SHINGO

INT.CL. : G11C17/00

TITLE : MULTI-LEVEL STORAGE  
 SEMICONDUCTOR CIRCUIT



ABSTRACT : PURPOSE: To increase the storage capacity by using plural levels for the electric charge injected in a floating gate to attain multi-level storage, changing stepwise the reference potential and converting the combination of outputs at each step into a desired form to reproduce multi-level storage information.  
 CONSTITUTION: When an H level signal is inputted to a terminal St of a control circuit 40 from a NOR circuit 50, the output at a terminal Vc rises sequentially in 3 levels and the clock timing at each step is outputted in the order of CK3-CK1 and an output request signal OE is outputted to a gate terminal G of a decoder 30. The stepwise voltage being the output from the terminal Vc is reference potentials V1b-V3b discriminating the potential of the memory cell stored. Thus, the output of an EPROM 10 at each step where the reference potential changes stepwise is stored tentatively and the outputs of the EPROM 10 to all stages of the reference potentials are combined, then the 4-value state stored in one memory cell is discriminated at first. The output is latched by latch circuits 22, 24 and 26.

## ⑫ 公開特許公報(A)

昭62-257699

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月10日

G 11 C 17/00

3 0 8

6549-5B

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 多値記憶半導体回路

⑯ 特 願 昭61-102782

⑰ 出 願 昭61(1986)5月1日

⑱ 発 明 者 越 田 信 吾 刈谷市昭和町1丁目1番地 日本電装株式会社内

⑲ 出 願 人 日本電装株式会社 刈谷市昭和町1丁目1番地

⑳ 代 理 人 弁理士 足 立 勉

## 明 細 書

## 1 発明の名称

多値記憶半導体回路

## 2 特許請求の範囲

データの書き込みを行う際に印加する電圧を制御してフローティングゲートに注入する電荷量を複数値に設定可能であり、該書き込まれたデータの読み出しを行う際に前記フローティングゲートに注入された電荷量に基づいた電位と参照電位との比較結果をデータ出力端子より出力する半導体記憶素子と、

前記参照電位を段階的に変更する参照電位変更手段と、

前記半導体記憶素子のデータ出力端子に接続され、前記参照電位変更手段の変更する参照電位の段階に対応して前記データ出力端子より出力されるデータをラッチするラッチ手段と、

該ラッチ手段のラッチした各参照電位での前記データを所定の形式に変換する変換手段とを備えることを特徴とする多値記憶半導体回路。

## 3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、フローティングゲートに電荷を注入して不揮発的データの記憶を行う半導体記憶素子を、多値記憶可能とする多値記憶半導体回路に関する。

〔従来の技術〕

従来、フローティングゲートに電荷を注入して不揮発的データの記憶を行う半導体記憶素子、例えばerasable programmable ROM (EPROM) は、データの書き替えに要するターンアラウンドタイムが短いという特徴を有するためマスクROMに代えて広く利用されるに至っている。これにより、制御装置開発を短期間化したり、また簡単に多品種少量生産へ対応できる等の利点が得られる。

〔発明が解決しようとする問題点〕

しかし、上記のごときEPROM等にあっても未だに十分なものではなく、次のような問題点があった。

周知のように、EPROM等はその原理上マスクROMのような単純な構造では構成し難く、マスクROMと同一記憶領域のEPROM等を実現しようとするならばチップサイズが増大することになる。このチップサイズの増大は、同時に、チップ生産時の歩留りを低下させ、生産性の低下、コストアップ等の不具合を招来するのである。従って、前述のようなマスクROMのEPROM等への置き替えは比較的小さな記憶容量のものに対してのみ有効となる等の制約があった。

本発明は、問題点を解決するためになされたもので、フローティングゲートに電荷を注入して不揮発的データの記憶を行う半導体記憶素子を有効に利用し、小さなチップサイズのものに多量のデータの記憶を可能とする優れた多値記憶半導体回路を提供することをその目的としている。

〔問題点を解決するための手段〕

上記、問題点を解決するために本発明の構成した手段は第1図の基本的構成図に示すごとく、

データの書き込みを行う際に印加する電圧を制

御する。記憶素子C1とは、フローティングゲートに注入する電荷量をデータ書き込みの際の印加電圧を制御することで所望の値に設定することが可能であり、かつ、データの読み出しは、該注入された電荷量に基づき電位と参照電位との大小比較に基づいてデータ出力端子C0より実行されるものである。例えば、EPROMとして従来使用される代表的な複数ゲート型のMOSTFET等である。この種の半導体記憶素子C1であれば、セル書き込み電圧パルスの印加回数を制御したり、該電圧パルスのデューティ比やパルス振幅を変更することで簡単にフローティングゲートに注入される電荷量を所望値とすることが可能である。また、このとき、電圧パルスを複数回に分けて印加しつつ、印加の毎に注入電荷量をベリファイするならば、より確実に注入電荷量の制御ができる。

こうしてフローティングゲートに所望量の電荷注入がなされたセルの読み出しは、該セルの注入電荷量に基づいたセルの電位と、ある値の参照電位との大小比較によって行なわれる。従って、こ

御してフローティングゲートに注入する電荷量を複数値に設定可能であり、該書き込まれたデータの読み出しを行う際に前記フローティングゲートに注入された電荷量に基づいた電位と参照電位との比較結果をデータ出力端子C0より出力する半導体記憶素子C1と、

前記参照電位を段階的に変更する参照電位変更手段C2と、

前記半導体記憶素子C1のデータ出力端子C0に接続され、前記参照電位変更手段C2の変更する参照電位の段階に対応して前記データ出力端子より出力されるデータをラッチするラッチ手段C3と、

該ラッチ手段C3のラッチした各参照電位での前記データを所定の形式に変換する変換手段C4と

を備えることを特徴とする多値記憶半導体回路をその要旨としている。

〔作用〕

本発明の多値記憶半導体回路における半導体記

憶素子C1の参照電位が各種の値を取り得るものであれば前記注入電荷量に従った複数データを1つのセルに記憶、読み出すことが可能となる。本発明の参照電位変更手段C2は上記目的のため設けられるもので、半導体記憶素子C1のデータ読み出しの際に必要な参照電位を段階的に変更する。

ここで変更される参照電位の段階とは、前記半導体記憶素子C1のセルに注入される電荷量に基づいた各セルの電位の変化が検出できる程の細かさであればよい。例えば、半導体記憶素子C1の各セルにN値の電位が現われるように電荷の注入が制御されるならば、参照電位としては少なくともN-1段階に変化して各セル毎にどの程度の電荷注入がなされているかを判断可能にすることが望ましい。

ラッチ手段C3は、前記半導体記憶素子C1のデータ出力端子C0から出力されるデータを、前記参照電位変更手段C2の変更する参照電位の段階に対応してラッチする。例えば、参照電位がV1のときのデータ出力端子C0の出力、V2の時

の出力、以下同様に $VH-1$ までの参照電位の段階的变化に対するデータ出力端子C0からの出力をラッチし、 $(N-1)$ 個の連続データを得るのである。

こうして半導体記憶素子C1に注入された所望量の電荷は $(N-1)$ 個のデータとして変換手段C4に入力され、ここで初期の必要とするデータに変換されるのである。

すなわち、各セルにはあるデータが注入電荷量という物理量に変更されて記憶されているのであり、ラッチ手段により得られた $(N-1)$ 個のデータからその物理的注入電荷量を知り、変更前の上記あるデータを変更手段C4が再現するのである。

以下、本発明をより具体的に説明するために実施例を挙げて説明する。

#### 〔実施例〕

第2図は、実施例の多値記憶半導体回路の電気回路ブロック図である。

フローティングゲートに所望量の電荷が注入さ

このアドレスラインA0はデコーダ30の4番目の入力端子Dに接続される。

上記EPROM10の端子Vcc2の印加電位、DFF22~26の動作タイミング、およびデコーダ30の出力タイミングを制御するものが制御回路40であり、外部より本多値記憶半導体回路を選択するチップイネーブル信号( $\overline{CE}$ )、出力要求信号( $\overline{OE}$ )が共にLowレベルとなった時出力を生じるNOR回路50出力を動作開始タイミングとするスタート端子Stに入力しており、後述のごとく段階的電位の変更がなされる出力端子VcをEPROM10の端子Vcc2に、それぞれ位相の異なる3種のクロックタイミングCK1、CK2、CK3をDFF22、24、26のクロック端子CKに、および出力要求信号OEをデコーダ30のゲート端子Gに出力している。

以上のように構成される多値記憶半導体回路において、EPROM10へのデータの入力は次の様にして実行される。

まず、電源が端子Vcc1に加えられた後にEP

ROM10へのデータの記憶を行うEPROM10は既存のものと同じ構造であり、メモリセルアレイ、アドレスデコーダ、およびセンスアンプを内蔵している。EPROM10の端子Vcc1は電源用、端子Vcc2はメモリセルの電位と比較する参照電位の入力用、端子PmはEPROM10にデータを入力する、いわゆるプログラム状態の選択用、および端子 $\overline{OE}$ はアウトプットイネーブル用である。図のように本EPROM10はA1~Anまでのn本のアドレス端子および1本のデータ端子Dを有している。

データ端子Dは、3個のDフリップフロップ回路(以下、DFFという)22、24、26の端子Dに接続されており、該DFF22~26の出力はデコーダ30の4つの入力端子の中の3つのA、B、Cにそれぞれ入力されている。

また、前記アドレス端子A1~Anに加えて多値記憶半導体回路全体としては更にもう1本のアドレス端子A0を加えた $(n+1)$ 本のアドレスラインからアクセスされるように構成されており、

ROM10へのデータ入力を可能とするため端子PmにもHighレベルの信号が与えられる。こうしてプログラム可能状態とされると所望のメモリセルを選択するためにn本のアドレス端子A1~Anにn[bit]の信号が与えられ、データ出力端子Dに書き込みのためのパルス信号が印加されるのである。これにより、所望のアドレスのメモリセルのフローティングゲートに電荷の注入がなされる。

ここで、注入する電荷量は、第3図のようにして予め定められるものである。すなわち、通常ならば1つのメモリセルは所定値以上の電荷が注入されているか否かの2値状態のみをとるように電荷量が決定されるが、本実施例では何ら電荷の注入がなされない初期の状態を含め4値状態をとるようにされている。そしてメモリセルに注入された電荷量に基づく電位( $V1 > V2 > V3 > \text{初期電位}$ )に対応して2種の情報AおよびBが「0」、「1」のいずれであるかを第3図のように予め決めておくことで、いわゆる2bitのデータを1

つのメモリセルに記憶することを達成している。  
例えば、メモリセルの電位がV1ならばA = 「1」、B = 「1」であることを意味し、同様に、V2ならばA = 「0」、B = 「1」、V3ならばA = 「1」、B = 「0」、V4ならばA = 「0」、B = 「0」と、対応付けされている。

なお、EPROM10には通常のプログラム時の記憶データのベリファイ機能が用意されている。例えば、前述のように端子P<sub>fm</sub>にHighレベルの信号を与えてプログラム状態を選択して所望のアドレスのメモリセルにデータ端子Dからパルス信号を印加して電荷注入を行った後に出力要求信号をEPROM10の端子OEに加えるならば、そのメモリセルに注入された電荷量に基づく電位がデータ出力端子Dから出力される。従って、このような場合にあっては、メモリセルに注入する電荷量を複数回のパルス信号の印加によって行い、パルス信号印加の毎に上記ベリファイ機能によってメモリセルの電位が希望する値(V1, V2, V3または初期電位)であるか否かを確認しつつ

V3bである。EPROM10は、参照電位とメモリセル電位との大小比較結果に基づく2値状態を出力する。すなわち、メモリセル電位よりも参照電位の方が大きいときに「0」という状態を、そして、参照電位の方がメモリセル電位より小さくなったとき「1」という状態を、のように出力する。このため、前述した1つのメモリセルに4値状態で記憶しているデータをこれら2値状態で再現することは不可能である。そこで、参照電位そのものの値を前述の4値状態が判別できるように段階的に変更するのである。

従って、上記のように参照電位が段階的に変化する各段階でのEPROM10の出力を一時的に記憶し、全ての段階の参照電位に対するEPROM10出力の組み合わせとしたときに初めて1つのメモリセルに記憶された4値状態が判明する。この、EPROM10の各段階での出力をラッチするものがラッチ回路22、24、26であり、参照電位V3bに同期してラッチ回路26、参照電位V2bに同期してラッチ回路24、参照電位

実行すれば、第3図に示したデータの記憶がより確実になされる。

上記のごとくして各メモリセルに4値状態のいずれかが記憶されたEPROM10のデータの読み出しは、次のようにして制御回路40の一連の動作によって行われる。

第4図が、制御回路40の動作タイミングチャートである。図のように、NOR回路50から制御回路40の端子StにHighレベル信号の入力があると制御回路40の動作が開始され、端子Vcの出力を3段階に順次上昇させるとともに、各段階毎にクロックタイミングをCK3, CK2, CK1の順序で出力し、これら一連の動作実行後にデコーダ30のゲート端子Gに出力要求信号(OE)を出力する。

このとき、端子Vcからの出力である階段状の電圧の印加期間は、各段階でEPROM10のデータの出力がなされるに充分な期間Tであり、また、その電位は前記記憶したメモリセルの電位を判別することができる参照電位V1b, V2b,

V1bに同期してラッチ回路22を作動させるためにクロックタイミングCK3, CK2, CK1を所定位相差で出力するのである。

また、本実施例では1つのメモリセルに第3図に示すごとく2の情報A, Bを記憶しているため、現在読み出しを要求されている情報がA, Bいずれであるかを判断する必要がある。そこで、本実施例ではアドレスラインA0 ~ Anの中のA1 ~ Anでメモリセルを特定し、残りのアドレスラインA0を上記特定されたメモリセルに記憶されている情報A, Bのいずれの情報を要求するかを選択用として使用しており、このアドレスラインA0をデコーダ30の4番目(D)の入力情報としているのである。すなわち、アドレスラインA0が「1」ならばメモリセル内のAの情報を、A0が「0」ならばメモリセル内のBの情報を要求していると判別するのである。

以上の説明から明らかなように、デコーダ30は入力端子A, B, Cの3入力によって所定メモリセルに記憶されている電位を判別でき、かつ、

入力端子Dの入力によってその中の2つの情報のうちA, Bいずれを選択しているかが判断可能となる。そこで、第5図に示すようなデコード表に従って4入力端子A, B, C, Dの状態に応じた出力を実行するように予め設計されるならば、EPROM10に4値状態として記憶されているデータの再現が達成される。例えば入力端子A, B, Cの入力が「0, 1, 1」であるならばメモリセルの電位がV2であることが理解され、この電位は第3図から明かなように情報A=「0」、情報B=「1」であることを表わしている。そして、もう1つの入力端子Dからの入力により、現在要求されている情報の出力がA（すなわち入力端子D=「1」）であればデコーダ30出力は「0」となり情報Aのデータを正確に出力するのである。

以上詳述したように、本実施例の多値記憶半導体回路によれば、従来記憶容量の少ないEPROM10の1つのメモリセルに2種の情報A, Bを記憶することが可能となり、見掛け上の記憶容量を2倍に増大させることができる。しかも、その

ためにEPROM10以外に必要な要件は、3つのラッチ回路22, 24, 26、デコーダ30、および制御回路40のみであり、極めて、小型、かつ、安価な構成でよい。

なお、上記実施例では従来のEPROM10に外付けで他の回路を付加しているものについて説明したが、上記回路を全てEPROMのチップ上にデザインし、1つのチップで構成してもよい。

〔発明の効果〕

以上、実施例を挙げて詳述したように本発明の多値記憶半導体回路は、フローティングゲートに注入される電荷量を複数値として多値記憶を可能とし、これと比較される参照電位を段階的に変更するとともに、各段階での出力の組み合わせを所望の形式に変換して前記多値記憶情報を再現するものである。

従って、複雑な構成のフローティングゲート型の半導体記憶素子を有効に利用してその記憶容量を増大することができる。

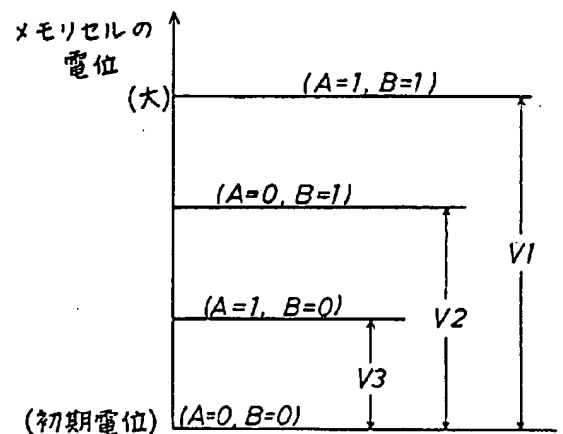
4 図面の簡単な説明

第1図は本発明の基本的構成を示す基本構成図、第2図は実施例の多値記憶半導体回路のブロック図、第3図は同実施例のメモリセル電位と記憶情報との関係説明図、第4図は同実施例の制御回路動作のタイミングチャート、第5図は同実施例のデコーダのデコード関係説明図を示している。

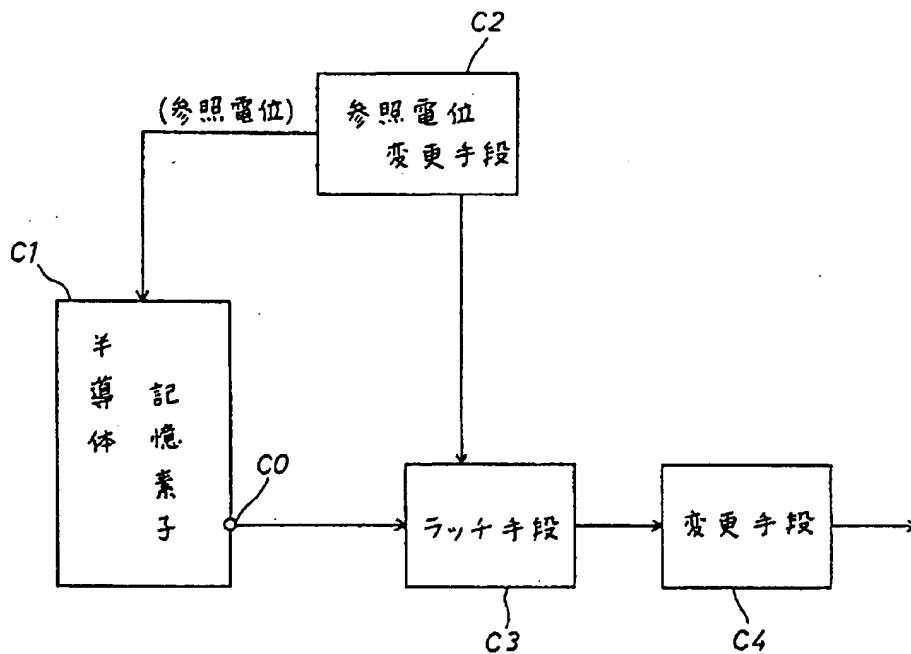
C1…半導体記憶素子  
C2…参照電位変更手段  
C3…ラッチ手段      C4…変換手段  
10…EPROM  
22, 24, 26…DFF  
30…デコーダ      40…制御回路

代理人    弁理士    足立    勉

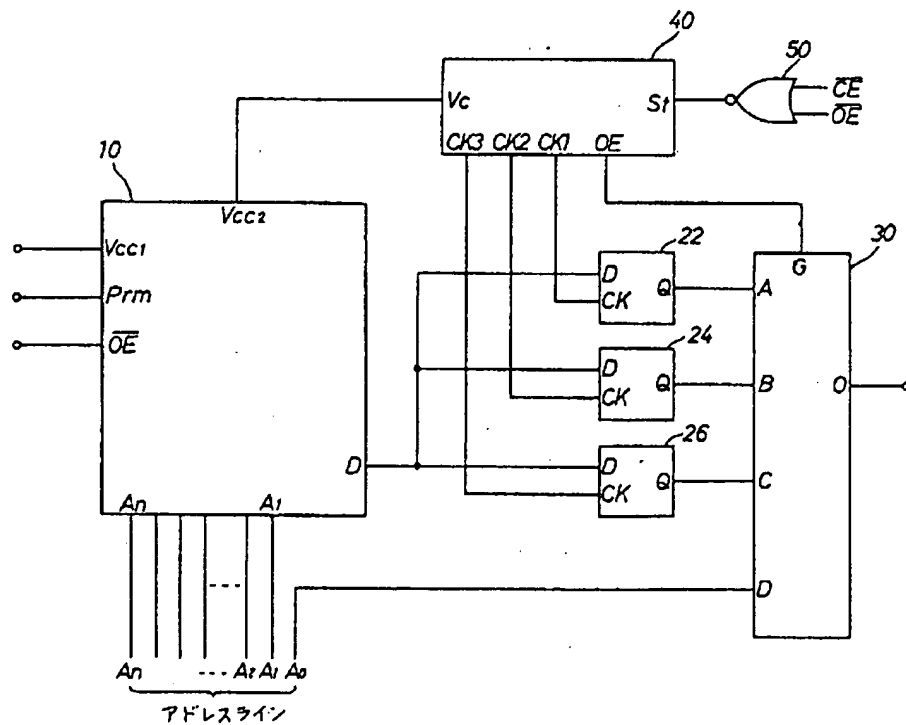
第3図



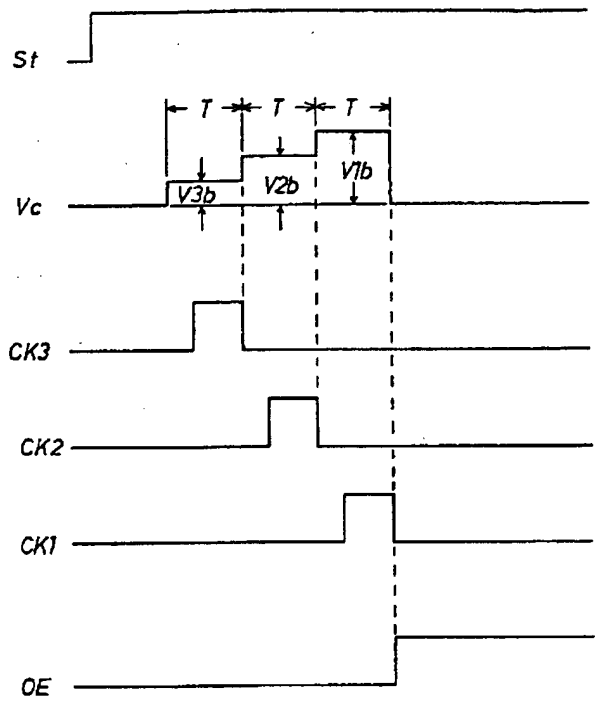
第 1 図



第 2 図



第4図



第5図

メモリ セル電位	入力端子				デコーダ 出力
	A	B	C	D	
初期電位	0	0	0	0	0
初期電位	0	0	0	1	0
V3	0	0	1	0	0
V3	0	0	1	1	1
V2	0	1	1	0	1
V2	0	1	1	1	0
V1	1	1	1	0	1
V1	1	1	1	1	1